

⑫ 特 許 公 報 (B2)

平1-26250

⑬ Int. Cl.⁴H 02 H 6/00
7/20
H 03 K 17/08
17/73

識別記号

庁内整理番号

B-6846-5G
D-6846-5G
7190-5J
Z-7402-5J

⑭ 公告 平成1年(1989)5月23日

発明の数 1 (全8頁)

⑮ 発明の名称 負荷状態判別装置

⑯ 特 願 昭59-242436

⑰ 公 開 昭61-124227

⑱ 出 願 昭59(1984)11月19日

⑲ 昭61(1986)6月12日

⑳ 発 明 者 西 岡 哲 士 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

㉑ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

㉒ 代 理 人 弁理士 三好 保男 外1名

審 査 官 長 澤 俊 一 郎

㉓ 参 考 文 献 特開 昭56-132608 (JP, A) 実開 昭52-22533 (JP, U)

1

2

㉔ 特許請求の範囲

1 状態が判別されるべき負荷と、前記負荷の電気的特性に相似し前記負荷に流れる電流より小さい電流が流れる負荷相似手段と、前記負荷の駆動制御指令によつて同時に作動制御せしめられると共に同一プロセスで形成された複数のセルを持ち、前記負荷と前記負荷相似手段に流れる電流の比率に相当する割合で前記セルを分配した前記負荷に給電する第1のスイッチング素子および前記負荷相似手段に給電する第2のスイッチング素子を有するスイッチング手段と、前記負荷による端子電圧と前記負荷相似手段による端子電圧とを比較して差に応じた電圧を検出する差検出手段と、前記差検出手段の出力信号の大きさを設定基準電圧と比較し前記負荷の異常状態を断線及び短絡のいずれかの状態として検出すると共に断線の状態が検出されたときは断線信号を出力し短絡の状態が検出されたときは短絡信号を出力する異常検出手段と、前記異常検出手段の短絡信号により前記スイッチング手段の素子をオフ状態にするスイッチング保護手段とを有する負荷状態判別装置。

発明の詳細な説明

[発明の技術分野]

この発明は、例えば車両における各種ランプ等の電気的負荷の状態を正確にかつ効率良く検出することができるようにした負荷状態判別装置に関

する。

[発明の技術的背景及びその問題点]

例えば車両等において、そのヘッドライト、テールランプ、ブレーキランプ等の各種ランプの動作状態を監視し、その短絡状態や断線状態等の異常状態を検出し、この検出した異常状態を車両の運転者に通報することは車両を安全に走行する上で重要なことである。従来、このようなランプ等の負荷の短絡状態や断線状態を検出するのに、負荷を駆動すべく直列に接続されたスイッチング素子、例えばパワーMOSトランジスタに流れる負荷電流や該MOSトランジスタのドレインソース間の電圧 V_{ds} 等を監視する方法等が既に提案されるに至っている。(特開昭58-139624、特開昭58-222554)

このような従来の方法においては、例えばMOSトランジスタに流れる負荷電流を監視して短絡状態を検出するために、MOSトランジスタに直列に低抵抗を接続し、この抵抗の両端の電圧を監視していたが、この抵抗にはランプ駆動時常にランプ駆動電流と同じ値の電流例えば数アンペア程度の電流が流れるため、この抵抗の形状が大きくなる上電力消費も大きいという問題がある。また、負荷がランプのように電源投入時にラッシュカレントが流れるような場合には、このラッシュカレントを短絡電流として誤検出することを避

けるために、このラツシユカレントの期間（例えば数10m秒）に相当する間短絡電流の監視を行なわないようにしている。そのため少なくともこの期間の間、MOSトランジスタに短絡電流に相当する電流が流れても破損しないように大きな放熱板を設けなければならないという問題がある。

一方、断線状態を検出するのにMOSトランジスタのドレインソース間の電圧降下を監視する方法においては、この電圧降下がMOSトランジスタのオン抵抗に依存し、かつこれは温度特性に依存しているため、例えば負荷がブレーキランプのように2乃至4個並列である場合にはこのオン抵抗のバラツキやMOSトランジスタの電圧特性の変化による誤差を補正するために別の補正回路が必要になり、非経済的であるという問題がある。

〔発明の目的〕

この発明は、上記に鑑みてなされたもので、その目的とするところは、負荷の異常状態を正確かつ迅速に検出できる経済的な負荷状態判別装置を提供することにある。

〔発明の概要〕

状態が判別されるべき負荷と、前記負荷の電気的特性に相似し前記負荷に流れる電流より小さい電流が流れる負荷相似手段と、前記負荷の駆動制御指令によつて同時に作動制御せしめられると共に同一プロセスで形成された複数のセルを持ち、前記負荷と前記負荷相似手段に流れる電流の比率に相当する割合で前記セルを分配した前記負荷に給電する第1のスイッチング素子および前記負荷相似手段に給電する第2のスイッチング素子を有するスイッチング手段と、前記負荷による端子電圧と前記負荷相似手段による端子電圧とを比較して差に応じた電圧を検出する差検出手段と、前記差検出手段の出力信号の大きさを設定基準電圧と比較し前記負荷の異常状態を断線及び短絡のいずれかの状態として検出すると共に断線の状態が検出されたときは断線信号を出力し短絡の状態が検出されたときは短絡信号を出力する異常検出手段と、前記異常検出手段の短絡信号により前記スイッチング手段の素子をオフ状態にするスイッチング保護手段とを有する構成としたことを要旨とする。

〔発明の実施例〕

以下、この発明の実施例を図面を用いて説明する。

第1図はこの発明の一実施例に係わる負荷状態判別装置の回路図である。この負荷状態判別装置は、負荷として例えば負荷回路9に示されている4つのランプ1, 3, 5, 7をスイッチ11のオンオフ制御により駆動制御しようとするものであり、このような負荷の駆動制御において負荷、すなわちランプ1, 3, 5, 7が断線又は短絡した場合にこれを検出して短絡信号用出力端子57及び断線信号用出力端子59にそれぞれ短絡信号Ss及び断線信号Sbを出力し、これを例えば保守パネル等に供給して故障表示を行なおうとするものである。

この負荷状態判別装置は電源端子13に供給されている電源電圧+V_Bで作動するようになってい。前記スイッチ11の一端はアースに接続され、他端は入力処理部67を構成するスイッチ回路15を介して駆動回路19を構成するランプ駆動用NチャンネルパワーMOSトランジスタ21及び負荷相似回路駆動用NチャンネルMOSトランジスタ23のゲートに接続されている。各MOSトランジスタ21及び23は負荷がソースを介してアース側に接続されたソースホロウを構成している。各MOSトランジスタ21及び23を駆動するゲート信号は前記スイッチ回路15を介して昇圧回路17によつて形成される電源電圧+V_Bの2倍の電圧V_{2B}が供給され、これによつて各MOSトランジスタ21, 23はオンオフ動作するようになってい。各MOSトランジスタ21及び23のドレインは互いに接続されて、前記電源電圧+V_Bが供給されている。ランプ駆動用パワーMOSトランジスタ21のソースは前記負荷回路を構成するランプ1, 3, 5, 7の各一端に接続され、各ランプ1, 3, 5, 7の他端はアースに接続されている。負荷相似回路駆動用MOSトランジスタ23のソースは負荷相似回路41を構成する抵抗43の一端に接続されている。この抵抗43の他端は別の抵抗45を介してアースに接続され、抵抗43と45との接続点はコンデンサ47を介してアースに接続されている。

この負荷相似回路41は前記ランプ1, 3, 5, 7で構成される負荷回路9に電氣的に相似な

5

回路を構成しているものあり、抵抗43及び45との直列合成抵抗は負荷回路9を構成する4つの並列に接続されたランプの合成抵抗を模擬しているものであり、抵抗45に並列に接続されたコンデンサ47はランプ点灯時におけるラツシユカレントに相当する電流を流す役目を果しているものである。

また、前記MOSトランジスタ21、23は、それぞれ差動増幅回路25を構成する抵抗27及び29を介して演算増幅器31の反転入力端子及び非反転入力端子に接続されている。この演算増幅器31には前記昇圧回路17からの電源電圧 V_B の2倍に相当する電圧 V_{2B} が供給されている。演算増幅器31の反転入力端子と出力端子との間には抵抗33が接続され、演算増幅器31の非反転入力端子に一端が接続された抵抗35の他端は、直列に接続された抵抗39、37との接続点に接続されている。抵抗39の一端には電源電圧 $+V_B$ が供給され、抵抗37の一端はアースに接続されている。この直列に接続された抵抗39と37との接続点は中点電圧 V_C を与えるものであり、この中点電圧 V_C は、例えば電源電圧 $+V_B$ の十分の1($V_C = V_B/10$)になるように抵抗39と37とが選択されている。この差動増幅回路25は、抵抗27及び29を介して供給される入力電圧の差に相当する電圧を演算増幅器31の出力側から出力するものであり、今この演算増幅器31の出力電圧を V_O とし、抵抗27及び29を介して供給されるMOSトランジスタに21及び23のソースの電圧をそれぞれ V_{21S} 及び V_{23S} とすると、出力電圧 V_O は次式のようになる。

$$V_O = \mu(V_{23S} - V_{21S}) + V_C \quad \cdots \cdots (1)$$

ここにおいて、今抵抗27、29、33、35の抵抗値をそれぞれ R_{27} 、 R_{29} 、 R_{33} 、 R_{35} とすると、 $\mu = R_{33}/R_{27} = R_{35}/R_{29}$ である。この差動増幅回路25に供給される入力電圧 V_{21S} 及び V_{23S} は、負荷回路が正常すなわちどのランプにも短絡状態や断線状態が発生していない正常状態においては等しい値にあるため、差動増幅回路25の出力電圧 V_O は中点電圧 V_C が出力されているのみである。しかしながら、例ばランプの何れかが短絡したような場合には、電圧 V_{21S} は小さくなるため、この差動増幅回路25の差動出力電圧 V_O は大きくなる。また負荷回路9のランプの何れかが

6

断線したような場合には負荷回路9の合成抵抗は大きくなるため、電圧 V_{21S} は大きくなり、このため、差動増幅回路25の差動出力電圧 V_O は小さくなる。すなわち、この差動増幅回路25の出力電圧 V_O は、負荷回路9のランプが短絡状態になったのか断線状態になったのかによつて正常の値よりも高くなつたり低くなつたりする。

従つて次段の比較部49においては、この差動増幅回路25の出力を監視し、その出力電圧 V_O が所定の基準電圧より高くなつたのか低くなつたのかを比較検出することにより、短絡状態が発生したのか断線状態が発生したのかを検出し得るのである。差動増幅回路25の出力は、比較部49を構成する時間遅れ回路51にまず接続されている。この時間遅れ回路51は、ノイズを除去するためのものであり、例えばコンデンサと抵抗からなるCR回路により構成されているものである。この時間遅れ回路51によつてノイズを除去された信号は断線検出用の比較器53の一方の比較入力端子である非反転入力端子及び短絡検出用比較器55の一方の比較入力端子である反転入力端子に入力端子 V_{in} として供給されている。断線検出用比較器53の他方の比較入力端子である反転入力端子には断線検出用の基準電圧 V_{rb} が供給され、短絡検出用比較器55の他の比較入力端子である非反転入力端子には短絡検出用の V_{rs} が供給されている。また各比較器53、55には電源電圧 $+V_B$ が供給されている。差動増幅回路25から時間遅れ回路51を介して各比較器53、55に供給される入力電圧 V_{in} が、断線検出用基準電圧 V_{rb} よりも小さい場合には、断線検出用比較器53の出力から断線信号 S_b が出力され、また入力電圧 V_{in} が短絡検出用基準電圧 V_{rs} よりも大きい場合には短絡検出用比較器55から短絡信号 S_s が出力される。

今、負荷回路9を構成する4つのランプが自動車のストップランプであり、各ランプの消費電力が21ワットであり、電源電圧 $+V_B$ が12ボルトであり、また $\mu = 10$ と設定した場合の前記断線検出用基準電圧 V_{rb} 及び短絡検出用基準電圧 V_{rs} の設定について説明する。ランプの断線状態の検出にあつては、4個のランプの中の1個が断線場合にも検出できるように、1個のランプの消費電流の60%が減つたとき断線と判断し得るように、断

線検出用比較器 5 3 の基準電圧 V_{rb} を設定する。また短絡状態の検出に対しては 4 個のランプの 3 倍の電流が流れたときに短絡状態と判断し得るように短絡検出用比較器 5 5 の基準電圧 V_{rs} を設定する。

まず、1 個のランプが断線した場合の前記差動増幅回路 2 5 の出力電圧 V_o (すなわち比較器 5 3, 5 5 に対する入力電圧 V_{in}) は次式のようになる。

$$V_o = (V_b / 10) - (21 / 12) \times 50 \times 10 \\ = (V_b / 10) - 0.875 = 0.325$$

ここにおいて、上式中に示す 50 の単位は、ミリオームであり、これは後述するようにランプ駆動用パワー MOS トランジスタ 2 1 のオン抵抗である。

また、短絡時 (すなわち 4 個のランプの 3 倍の電流が流れたとき) の出力電圧 V_o は次式のようになる。

$$V_o = (V_b / 10) + (21 / 12) \times 4 \times (4 - 1) \times 50 \times 10 \\ = (V_b / 10) + 10.5 = 11.7$$

以上の値から断線検出用比較器 5 3 の基準電圧 V_{rb} 及び短絡検出用比較器 5 5 用の基準電圧 V_{rs} は、それぞれ電源電圧変動等を考慮して 0.47 ボルト及び 8.0 ボルトに設定してある。

負荷回路 9 のランプが短絡した場合にはランプ駆動用 MOS トランジスタ 2 1 に多大な電流が流れ、これによつて MOS トランジスタ 2 1 が破壊される恐れがあるので、これを防止するために、短絡検出用比較器 5 5 で検出された短絡信号 S_s は保護回路 6 1 を構成するホールド回路 6 3 に入力されている。ホールド回路 6 3 はこの短絡信号 S_s が入力されると、その出力により、MOS トランジスタ 2 1 及び 2 3 をカットオフ状態に保持するようにしている。またこのホールド回路 6 3 には、リセット回路 6 5 を介してスイッチ 1 1 のオフ信号が供給されるようになってい。これによりスイッチ 1 1 がオフ状態になった場合リセット回路 6 5 を介して供給されるスイッチ 1 1 のオフ信号によりホールド回路 6 3 は初期状態にリセットされ、MOS トランジスタ 2 1 及び 2 3 のカットオフ状態を解除するようになってい。

次に、駆動回路 1 9 を構成するランプ駆動用 N チャンネルパワー MOS トランジスタ 2 1 及び負

荷相似回路駆動用 N チャンネル MOS トランジスタ 2 3 について説明する。これらの各 MOS トランジスタ 2 1 及び 2 3 は、各種電気的特性を同一にするため第 2 図に示すようなワンチップで構成

されている。第 2 図 a はこのワンチップ MOS トランジスタのチップ表面を示した図であり、第 2 図 b はその一部断面を示した図であり、第 2 図 c はその等価回路を示した図である。第 2 図 a において、7 1 はランプ駆動用パワー MOS トランジスタ 2 1 用のソースパッドであり、7 3 は負荷相似回路駆動用 MOS トランジスタ 2 3 用のソースパッドであり、7 5 は両 MOS トランジスタに対するゲートパッドである。この各ソースパッドの大きさの違いから解るように、ランプ駆動用パワー MOS トランジスタ 2 1 は 5 アンペアの負荷を駆動し得るように約 20000 個のパワーセルで構成され、負荷相似回路駆動用 N チャンネル MOS トランジスタ 2 3 はこれに対して 500 分の 1 の約 40 個の単位セルのパワー MOS トランジスタで構成され、しかも、これらのセルは同一のプロセスで製作形成されている。また、夫々のトランジスタ 2 1, 2 3 は、第 2 図 b に示すように縦型構造の N チャンネル型 MOS トランジスタで構成され、これによつて大電流が流し得ると共に、自動車用に適するように寄生ダイオードがツェナーダイオードとして作用し、かつサージ耐量の大きいパワー MOS トランジスタ構造になっている。第 2 図 b において 7 9 はゲートであり、7 7 はドレインであり、8 1 はソースである。第 2 図 c に示すように、各 MOS トランジスタ 2 1 及び 2 3 にはそれぞれ寄生ダイオードによりツェナーダイオード 8 3 及び 8 5 が並列に形成され、これによつて大きなサージ電圧がソースドレイン間に印加された場合にも破損を防止し得るようになってい。一例として、第 2 図 a に示すワンチップ構成の MOS トランジスタのチップサイズは 3.5 mm × 3.5 mm であり、このチップの裏面側がドレイン電極になっている。

第 2 図 a において、負荷相似回路駆動用 MOS トランジスタ 2 3 のソースパッド 7 3 の位置は、チップ全体の平均チャンネル温度が監視でき、かつワイヤボンダが容易であるところが望ましい。単位セル MOS トランジスタのオン抵抗は 1 k オームであるので、約 20000 個の MOS トランジスタで

構成されるランプ駆動用パワーMOSトランジスタ21の全体のオン抵抗は50ミリオームである。前述したように、負荷回路9は21ワットのストッ
5 プランプを4個並列に構成であるため、ランプ駆動用パワーMOSトランジスタ21がオンした場合には、このパワーMOSトランジスタ21のソース電流 I_{21S} は、次式のようになる。

$$I_{21S} = 4 \times (21/12) \times (V_B/12)$$

またこの場合のランプ駆動用パワーMOSトランジスタ21のソースにおける電圧 V_{21S} は次式の
10 ようになる。

$$V_{21S} = V_B - R_{ON21} \times I_{21S}$$

負荷相似回路41は、前述したようにランプ1, 3, 5, 7で構成される負荷回路9を模擬しているものであるが、この負荷相似回路41の各
15 回路定数は正常な状態において前述した各MOSトランジスタ21及び23のソース点における電圧、すなわち差動増幅回路25に対する入力電圧 V_{21S} 及び V_{23S} が等しい($V_{21S} = V_{23S}$)になるように決定されている。従つて、今抵抗43及び45
20 の値をそれぞれ R_{43} 及び R_{45} とすると、両者の直列合成抵抗は次式によつて与えられる。

$$\begin{aligned} R_{43} + R_{45} &= (20000/40) \times (R_L/4) \\ &= (20000/40) \times (12^2/21 \times 4) = 857(\Omega) \end{aligned}$$

また、この負荷相似回路駆動用MOSトランジ
25 スタ23のソース電流 I_{23S} は次式のようになる。

$$I_{23} = (40/20000) \times I_{21S}$$

負荷等相似回路41は、前述したようにランプのラツシユカレントを模擬しているものであるが、ここにおいて抵抗43はそのラツシユカレント
30 のピーク電流値を決定しているものであり、コンデンサ47はラツシユカレントの時定数を決定しているものである。そして、各回路定数の関係は、今抵抗43及び45の抵抗値を R_{43} 、 R_{45} とし、コンデンサ43の容量値を C_{47} とすると、実際のランプの測定から次の値に設定されている。

$$(R_{43} + R_{45}) / R_{43} = 7$$

$$R_{43} C_{47} = 10 \text{ ms}$$

次に本実施例に係る負荷状態判別装置の作用を説明する。

まず正常動作時について説明する。正常動作時、すなわち負荷回路9を構成するランプ1, 3, 5, 7のいずれもが断線状態にもなければ短絡状態にもない状態について説明する。この場合

には、スイッチ11をオンにすると、スイッチ回路15を介して昇圧回路17からの電源電圧+ V_B の2倍の電圧に相当する電圧 V_{2B} が駆動回路1
9のランプ駆動用NチャンネルパワーMOSトランジスタ21及び負荷相似回路駆動用NチャンネルMOSトランジスタ23のゲートに印加され、
各MOSトランジスタはオン状態になる。その結果、各MOSトランジスタ21, 23を介して電源電圧+ V_B からそれぞれ負荷回路9及び負荷相似
10 回路41に電流が流れ、負荷回路9のランプ1, 3, 5, 7は点灯する。この各ランプが点灯した瞬間には、ラツシユカレントとが流れるが、このラツシユカレントは負荷相似回路41においては抵抗43とこれに直列に接続されたコンデンサ4
7とによつて模擬され、負荷回路9及び負荷相似回路41で発生する電圧降下 V_{21S} 及び V_{23S} 、すなわち差動増幅回路25に供給される入力電圧 V_{21S} 及び V_{23S} は常に同じ値になっている。

その結果、差動増幅回路25の出力電圧 V_o は前述した式(1)に示すように中点電圧 V_c のみとなっている。この出力電圧 V_o は比較部49の時間
20 送れ回路51によつてノイズを除去された後各比較器53, 55の一方の比較入力に供給され、それぞれ断線検出用基準電圧 V_{rb} 及び短絡検出用 V_{rs} と比較されるようになってい
る。今の場合、差動増幅回路25の出力電圧 V_o は、上述したように中点電圧 V_c に等しく、今電源電圧+ V_B を12ボルトとするとこの値は1.2ボルトであるので、断線検出用比較器53の基準電圧 V_{rb} の0.47ボルトより小さくなく、かつ短絡検出用比較器55の基準電圧 V_{rs} の8.0ボルトよりも大きくないので各比較器53, 55は断線信号 S_b も出力するこ
30 はない。従つて、前述したホールド回路63も作動することはない。負荷回路9のランプはスイッチ11がオンになっている間点灯し続ける。スイッチ11をオフにすると、スイッチ回路15を介した各MOSトランジスタ21及び23のゲートに対する入力電圧は除去されるので、各MOSトランジスタ21及び23はオフ状態になり、負荷回路9の各ランプは消灯する。この場合、差動増幅回路25に供給される入力電圧 V_{21S} 及び V_{23S} はそれぞれ負荷回路9のランプ及び負荷相似回路41の抵抗を介したアース電位になつていて、同じ電位であるので、差動増幅回路25の出力電圧 V_o は0ボルトとなる。

は前述したと同じ値になっており、比較部 4 9 では断線信号Sbも短絡信号Ssも出力することなく、正常に動作する。

次に負荷回路 9 のランプが断線した場合について説明する。ランプが断線した場合には負荷回路 9 の合成抵抗は大きくなるので、スイッチ 1 1 がオン状態においてスイッチ回路 1 5 を介して駆動されるランプ駆動用パワーMOSトランジスタ 2 1 のソースの電位、すなわ差動増幅回路 2 5 に対する入力電圧 V_{ais} は負荷相似回路 4 1 側からの差動増幅回路 2 5 に対する入力電圧 V_{2as} よりも大きくなり、差動増幅回路 2 5 に対する入力電圧のバランスはくずれるため、前述したように差動増幅回路 2 5 の出力電圧 V_o は断線検出用比較器 5 3 に対する基準電圧 V_{rb} の0.47ボルトよりも小さくなる。この結果断線検出用比較器 5 3 は断線信号Sbを出力する。この断線信号Sbは断線信号用出力端子 5 9 を介して図示せぬ保守パネル等へ送出され、故障表示がなされるようになっているのである。

次に負荷回路 9 のランプが短絡状態になった場合について説明する。例えば、ランプの配線が部品と車体との間に挟まれ絶縁物が破れて車体金属物と接触し、ボディアースのためショート短絡した場合が考えられる。ランプが短絡状態になった場合には、負荷回路 9 の合成抵抗は小さくなるので、差動増幅回路 2 5 に対する入力電圧 V_{ais} は負荷相似回路 4 1 側から差動増幅回路 2 5 に供給される入力電圧 V_{2s} よりも小さくなるので、前述したように、差動増幅回路 2 5 の出力電圧 V_o は、短絡検出用比較器 5 5 の基準電圧 V_{rs} の8.0ボルトよりも大きくなり、短絡検出用比較器 5 5 は、短絡信号Ssを出力する。その結果この短絡信号Ssは、短絡信号用出力端子 5 7 を介して保守パネルに供給され、これによつて短絡状態を示す故障表示がなされると共に、短絡検出用比較器 5 5 からの短絡出力信号Ssは前記ホールド回路 6 3 を駆動し、このホールド回路 6 3 を介して駆動回路 1 9 の各MOSトランジスタ 2 1 及び 2 3 をカットオフ状態に付勢し、過大な電流がランプ駆動用パワーMOSトランジスタ 2 1 に流れないように保護する。このホールド回路 6 3 によるパワーMOSトランジスタのカットオフ状態は、スイッチ 1 1 がオフ状態に戻ったとき、リセット回路 6

5 を介して解除される。

上記実施例においては、差動増幅回路 2 5 の演算増幅器 3 1 は、電源電圧として昇圧回路 1 7 から供給される電源電圧 $+V_B$ の 2 倍の電圧を考えているため、バイポーラICで実現されている場合について説明したが、スタンバイ電流を少なくするためMOSFET演算増幅器で実現したいときには、このICの耐圧上の制限から電源電圧を V_B とし、かつ演算増幅回路 2 5 の入力抵抗 2 7 及び 2 9 と直列に電圧レベルシフト回路を挿入すればよい。

また、差動増幅回路 2 5 の増幅率 μ は、上記実施例においては $\mu = R_{32} / R_{27}$ であるが、前述したように負荷回路 9 のランプが短絡された場合には差動増幅回路 2 5 に対する入力電圧 V_{ais} は小さくなる方向であり、またランプが断線したときには入力電圧 V_{ais} は大きくなる方向であり、更にこれらの場合における電圧の変化分も大きさに異なっていて、扱いづらいので、増幅率 μ をランプの短絡時と断線時とで分けることが好ましい。これは、抵抗 3 3 に並列に抵抗とダイオードとを直列に繋いだ回路を接続することにより行うことができ、こうすることによつて検出精度及び全体としての回路コストを低減することができる。なお、上記実施例においては、負荷 9 の作動中は、異常がない状態でも常時、負荷相似手段としての回路 4 1 に電流が流れるが、この電流は、負荷に流れる電流に対して小さく（500分の 1）になるように設定されているので微弱であり、従つて、負荷の作動には何ら寄与しない無駄な電流を極力減らすことができる。

上記実施例には負荷回路を構成するものとしてランプを例に挙げた場合について説明したが、この負荷としてはランプに限定されるものでなく、ヒータやその他各種の抵抗負荷のもの、インダクタンス負荷のもの等種々のものに適用できることは勿論のことである。

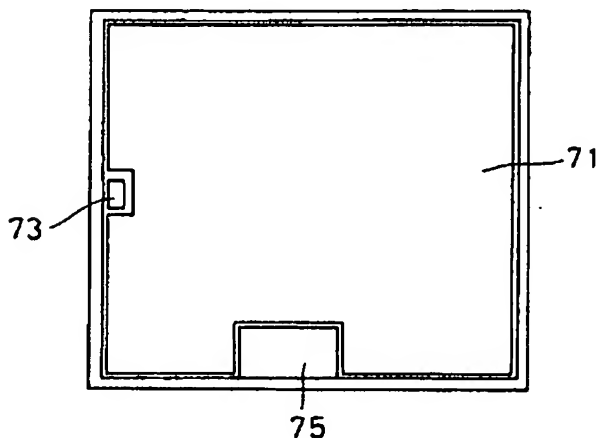
〔発明の効果〕

以上説明したように、この発明によれば、状態が判別されるべき負荷と、前記負荷の電気的特性に相似し前記負荷に流れる電流より小さい電流が流れる負荷相似手段と、前記負荷の駆動制御指令によつて同時に作動制御せしめられると共に同一プロセスで形成された複数のセルを持ち、前記負

13

荷と前記負荷相似手段に流れる電流の比率に相当する割合で前記セルを分配した前記負荷に給電する第1のスイッチング素子および前記負荷相似手段に給電する第2のスイッチング素子を有するスイッチング手段と、前記負荷による端子電圧と前記負荷相似手段による端子電圧とを比較して差に応じた電圧を検出する差検出手段と、前記差検出手段の出力信号の大きさを設定基準電圧と比較し前記負荷の異常状態を断線及び短絡のいずれかの状態として検出すると共に断線の状態が検出されたときは断線信号を出力し短絡の状態が検出されたときは短絡信号を出力する異常検出手段と、前記異常検出手段の短絡信号により前記スイッチング手段の素子をオフ状態にするスイッチング保護手段とを有する構成としたので、温度変化等に対する各種電気的特性の変動を無視することができ、もって正確に、かつ補正回路が不要のため経済的に前記負荷の異常状態を検出できると共に、負荷相似回路によりラッシュカレント等の時間的

第2図 a



14

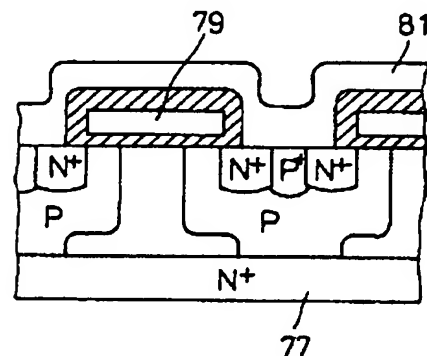
変化を含んで構成されているため、これに対する放熱対策を必要とせず経済的にかつ迅速に前記負荷の異常状態を検出できる。また、常時、負荷相似回路に流れる電流を微弱にし無駄な電流を極力減少することができる。

図面の簡単な説明

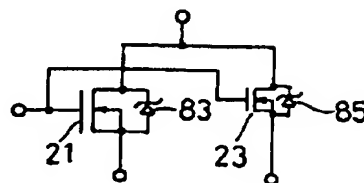
第1図はこの発明の一実施例を示す負荷状態判別装置の回路図、第2図 a, b, cは第1図の負荷状態判別装置に使用されるワンチップパワーMOSトランジスタの上面図、断面図及び等価回路である。

1, 3, 5, 7……ランプ、9……負荷回路、11……スイッチ、19……駆動回路、21……ランプ駆動用NチャンネルパワーMOSトランジスタ、23……負荷相似回路駆動用NチャンネルMOSトランジスタ、25……差動増幅回路、31……演算増幅器、41……負荷相似回路、49……比較部、53……断線検出用比較器、55……短絡検出用比較器、61……保護回路。

第2図 b



第2図 c



圖一 無

